

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-212236

(43) 公開日 平成4年(1992)8月3日

| (51) Int.Cl. <sup>5</sup> | 識別記号 | 庁内整理番号    | F I | 技術表示箇所 |
|---------------------------|------|-----------|-----|--------|
| H 0 1 J                   | 1/30 | B 9058-5E |     |        |
|                           | 9/02 | B 9058-5E |     |        |

審査請求 未請求 請求項の数 8 (全 13 頁)

(21) 出願番号 特願平3-14398

(22) 出願日 平成3年(1991)2月5日

(31) 優先権主張番号 特願平2-41948

(32) 優先日 平2(1990)2月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小松博志

長野県諏訪市大和3丁目3番5号セイコー  
エプソン株式会社内

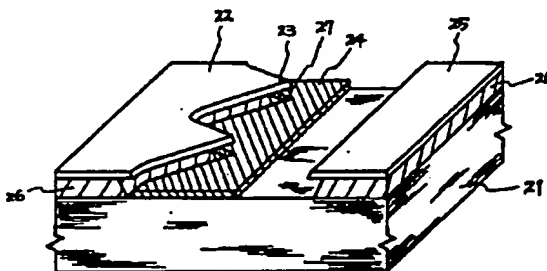
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 電界電子放出装置およびその製造方法

(57) 【要約】 (修正有)

【目的】 カソード電極とゲート電極の距離をより短くし、しかも突起先端の曲率半径を小さくして閾値電圧を低減化する。

【構成】 絶縁層26を挟んで放出突起23に重なるようにゲート電極24を設けた構造、もしくは突起先端23の垂直直下にゲート電極24を設けた構造でカソード電極22とゲート電極24の距離を絶縁層膜厚あるいは(絶縁層膜厚-ゲート電極膜厚)で決定する。また、カソード電極薄膜22を横方向に過剰にエッチングすることによって放出突起23の先端を鋭くする工程を用いる。



## 【特許請求の範囲】

【請求項1】 絶縁性の平面基板と、前記平面基板の表面に設けられたカソード電極であって前記平面基板の表面に平行な突出方向を有する放出突起を具備するカソード電極と、前記平面基板の表面に設けられたゲート電極であって前記放出突起の電子放出量を制御するためのゲート電極とを少なくとも具備する電界電子放出装置において、少なくとも前記放出突起は絶縁層を挟んで前記平面基板の表面に設けられ、前記放出突起の少なくとも先端は前記ゲート電極の概ね垂直直上に位置することを特徴とする電界電子放出装置。

【請求項2】 請求項1に記載の電界電子放出装置において、ゲート電極および放出突起は絶縁層もしくは空間を挟んで相互に重なる部分を有することを特徴とする電界電子放出装置。

【請求項3】 請求項1に記載の電界電子放出装置において、ゲート電極は放出突起の形状と同等の形状を有する欠落部分を具備することを特徴とする電界電子放出装置。

【請求項4】 請求項1に記載の電界電子放出装置において、ゲート電極は少なくともその一部分に放出突起の突出方向に対し傾きをもった斜面を有することを特徴とする電界電子放出装置。

【請求項5】 請求項1乃至4に記載の電界電子放出装置として、放出突起もしくはゲート電極と同じ電極層より構成されるアノード電極を少なくとも具備することを特徴とする電界電子放出装置。

【請求項6】 請求項2に記載の電界電子放出装置の製造方法において、平面基板の表面にゲート電極を形成する工程と、前記平面基板の表面および前記ゲート電極の表面に絶縁層を形成する工程と、前記絶縁層の表面にカソード電極層を形成する工程と、前記カソード電極層を過剰エッチング法で加工しカソード電極を形成する工程と、前記カソード電極をエッチングマスクとして前記絶縁層を部分エッチングし放出突起の少なくとも先端と前記ゲート電極を露出させる工程と、を含むことを特徴とする電界電子放出装置の製造方法。

【請求項7】 請求項3に記載の電界電子放出装置の製造方法として、平面基板の表面に絶縁層を形成する工程と、前記絶縁層の表面にカソード電極層を形成する工程と、前記カソード電極層を過剰エッチング法で加工しカソード電極を形成する工程と、前記カソード電極をエッチングマスクとして前記絶縁層を部分エッチングし放出突起の少なくとも先端を露出させる工程と、前記平面基板の表面および前記カソード電極の表面に方向性粒子堆積法でゲート電極層を形成する工程と、前記ゲート電極層をエッチング加工しゲート電極を形成する工程と、を含むことを特徴とする電界電子放出装置の製造方法。

【請求項8】 請求項4に記載の電界電子放出装置の製造方法として、平面基板の表面に絶縁層を形成する工程

と、前記絶縁層を過剰エッチング法で部分エッチングし逆テーパ形状の断面を有する絶縁層を形成する工程と、前記平面基板をエッチング加工しその表面に前記絶縁層の概ね端部よりはじまる斜面を形成する工程と、前記平面基板の表面および前記絶縁層の表面に方向性粒子堆積法で電極層を形成する工程と、前記電極層をエッチング加工しゲート電極およびカソード電極を形成する工程と、前記カソード電極をエッチングマスクとして前記絶縁層の側面を部分エッチングし放出突起の少なくとも先端を露出させる工程と、を含むことを特徴とする電界電子放出装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は電界効果にて電子を放出する電界電子放出装置の構造およびその製造方法に関する。さらに詳しくは平面基板の表面に概ね平行な放出突起をもつカソード電極を具備するラテラル型の電界電子放出装置の構造およびその製造方法に関する。

## 【0002】

【従来の技術】 従来のラテラル型の電界電子放出装置として、伊藤順司が応用物理、第59巻、第2号、p.p. 164~169 (1990) に報告したものがある。図13は従来の電界電子放出装置の概略平面図を示したものである。

【0003】 これは平面型三極管素子と呼ばれ、石英基板101の表面に楔型のエミッター電極102と、柱を有するゲート電極103と、アノード電極104を順に横に並べて形成した構造である。これら三つの電極は厚さ1μmのタングステン薄膜をフォトエッチング技術によってエッチング加工し形成したものである。エミッター電極102は10μmピッチで170個並べてあり、エミッター電極102とゲート電極103との距離は15μm、ゲート電極103とアノード電極104との距離は10μmである。

【0004】 この平面型三極管素子の電気特性を $5 \times 10^{-6}$  Paの真空中で測定したところ、放出電流はフォウラー・ノルデハイム (F・N) トンネル電流であり、ゲート電圧が220V、アノード電圧が318Vのとき、約1.2μAのアノード電流が得られた。これはエミッター電極1個につき7nAのアノード電流となる。相互コンダクタンスは約0.1μSであった。

## 【0005】

【発明が解決しようとする課題】 しかしながら従来の平面型三極管素子は以下に述べるようないくつかの問題点があった。すなわち、エミッター電極102、ゲート電極103およびアノード電極104は同層の金属薄膜より形成されているため、エミッター電極102の先端より放出された電子はアノード電極104に向かって進行するとき、これらの電極と同一平面にあるゲート電極103に衝突する。ゲート電極103には正電位が印加さ

3

れているため、これに衝突した電子の一部はゲート電極103に流入する。この結果、アノード電極104に流入する電子の収率（アノード電流/全放出電流）が低下し、電力効率や相互コンダクタンスが低いといった電気特性の低下を招いていた。従来技術では収率が60%程度である。

【0006】また、エミッター電極102とゲート電極103は同一のフォトリソエッチング工程で形成される。これらの電極間距離はレジスト露光時の解像度で決定され、実用化レベルでは $0.8\mu\text{m}$ が限界である。しかも微細になるほどばらつきが大きい。電界効果による電子放出においては、電子放出の閾値電圧やその均一性はエミッター電極102とゲート電極103の距離に大きく依存するため、従来の平面型三極管素子は閾値電圧の低減化が難しく、低減できても均一性が悪くなるという問題があった。

【0007】さらに、エミッター電極102の突起先端の曲率半径も閾値電圧に大きく影響を及ぼす。曲率半径が小さいほど閾値電圧は小さくなるが、従来の製造方法ではその曲率半径はフォトリソのだれによって2000Åが限界であった。実用的な閾値電圧を得るためには、曲率半径は少なくとも1000Å以下であることが望ましいが、従来の技術ではその達成が困難であった。

【0008】そこで本発明は、このような従来技術の問題点を克服するためのもので、その目的とするところは、エミッター電極とゲート電極の距離を均一よく短かくし、しかも突起先端の曲率半径を小さくして閾値電圧を低減化した電界電子放出装置とその製造方法を提供するところにある。

【0009】

【課題を解決するための手段】本発明の電界電子放出装置は、絶縁性の平面基板と、前記平面基板の表面に設けられたカソード電極であって前記平面基板の表面に平行な突出方向を有する放出突起を具備するカソード電極と、前記平面基板の表面に設けられたゲート電極であって前記放出突起の電子放出量を制御するためのゲート電極とを少なくとも具備する電界電子放出装置において、少なくとも前記放出突起は絶縁層を挟んで前記平面基板の表面に設けられ、前記放出突起の少なくとも先端は前記ゲート電極の概ね垂直直上に位置することを特徴とし、また、ゲート電極およびカソード電極は絶縁層もしくは空間を挟んで相互に重なる部分を有することを特徴とし、また、ゲート電極は放出突起の形状と同等の形状を有する欠落部分を具備することを特徴とし、また、ゲート電極は少なくともその一部分に放出突起の突出方向に対し傾きをもった斜面を有することを特徴とし、また、カソード電極もしくはゲート電極に同じ電極層より構成されるアノード電極を少なくとも具備することを特徴とする。

【0010】本発明の電界電子放出装置の製造方法は、平面基板の表面にゲート電極を形成する工程と、前記平

4

面基板の表面および前記ゲート電極の表面に絶縁層を形成する工程と、前記絶縁層の表面にカソード電極層を形成する工程と、前記カソード電極層を過剰エッチング法で加工しカソード電極を形成する工程と、前記カソード電極をエッチングマスクとして前記絶縁層を部分エッチングし放出突起の少なくとも先端と前記ゲート電極を露出させる工程と、を含むことを特徴とし、また、平面基板の表面に絶縁層を形成する工程と、前記絶縁層の表面にカソード電極層を形成する工程と、前記カソード電極層を過剰エッチング法で加工しカソード電極を形成する工程と、前記カソード電極をエッチングマスクとして前記絶縁層を部分エッチングし放出突起の少なくとも先端を露出させる工程と、前記平面基板の表面および前記カソード電極の表面に方向性粒子堆積法でゲート電極層を形成する工程と、前記ゲート電極層をエッチング加工しゲート電極を形成する工程と、を含むことを特徴とし、また、平面基板の表面に絶縁層を形成する工程と、前記絶縁層を過剰エッチング法で部分エッチングし逆テーパ形状の断面を有する絶縁層を形成する工程と、前記平面基板をエッチング加工しその表面に前記絶縁層の概ね端部よりはじまる斜面を形成する工程と、前記平面基板の表面および前記絶縁層の表面に方向性粒子堆積法で電極層を形成する工程と、前記電極層をエッチング加工しゲート電極およびカソード電極を形成する工程と、前記カソード電極をエッチングマスクとして前記絶縁層の側面を部分エッチングし放出突起の少なくとも先端を露出させる工程と、を含むことを特徴とする。

【0011】

【実施例】

（実施例1）

本実施例では、絶縁層を挟んでゲート電極とカソード電極が部分的に積層された構造を有する電界電子放出装置とその製造方法について述べる。

【0012】図1は本実施例の電界電子放出装置の部分概略図である。図1(A)は電界電子放出装置の平面図、図1(B)は図1(A)のL1-L2線に沿った断面図である。電界電子放出装置は石英基板よりなる平面基板1の表面に厚さ2000Åのモリブデン薄膜よりなるゲート電極4およびアノード電極5を設け、また、ゲート電極4の表面の一部および平面基板1の表面の一部を共有して厚さ5000Åの二酸化シリコン(SiO<sub>2</sub>)薄膜よりなる島状絶縁層6を設け、さらに、島状絶縁層6およびそれからオーバーハングした状態で厚さ2000Åのモリブデン薄膜よりなるカソード電極2を設けた構造である。

【0013】カソード電極2は20μmピッチで配置された三つの放出突起3を有する。放出突起3は平面基板1に平行にゲート電極4の方向に突出した構造であり、その先端の断面は順テーパ形状である。放出突起3の先端の曲率半径は800Åである。ゲート電極4と放出突

5

起3は空間7あるいは島状絶縁層6を挟んで互いに平行に重なり、その距離(L)は島状絶縁層6の膜厚に等しい5000Åである。また、ゲート電極4とアノード電極5の距離(L)は5μm、放出突起3とアノード電極5の距離(L)は12μmである。

【0014】この電界電子放出装置は放出突起3がゲート電極4よりも高い位置にあり、放出突起3より放出された電子はゲート電極4に衝突することなくアノード電極5に到達する。

【0015】図2は本実施例の電界電子放出装置の製造方法を説明するためのもので、主要な製造工程が終了した後の概略断面図である。図2(A)はゲート電極4およびアノード電極5の形成後の断面図である。使用した平面基板1は厚さ1.1mm、直径3インチの透明な石英基板である。平面基板1の表面にスパッタ法によって膜厚2000Åのモリブデン薄膜を堆積した後、フォトリソレジストをマスクとしてCF<sub>4</sub>/O<sub>2</sub>プラズマによるドライエッチング法を利用してモリブデン薄膜をテーパ形状に加工し、ゲート電極4およびアノード電極5を形成した。図2(B)は絶縁層8とカソード電極層9を積層した後の断面図である。絶縁層8およびカソード電極層9はスパッタ法で連続的に堆積した膜厚が5000Åの二酸化シリコン薄膜および2000Åのモリブデン薄膜である。二酸化シリコン薄膜は直流絶縁耐圧が6MV/cm以上である。膜厚のばらつきは平面基板面内で2%以内であり均一性がよい。

【0016】図2(C)はカソード電極層9のエッチングに用いるフォトリソレジスト10を形成した後の断面図である。フォトリソレジスト10の膜厚は約1μmである。図2(D)はカソード電極2を形成した後の断面図である。CF<sub>4</sub>/O<sub>2</sub>プラズマによるドライエッチング法でカソード電極層9をテーパ加工した。エッチング条件はガス流量比CF<sub>4</sub>/O<sub>2</sub>=60/200、RFパワー700Wである。エッチング時間は20分である。このエッチング条件のとき、モリブデン薄膜のエッチング速度は500Å/分であり、膜厚2000Åのものを除去するのであれば約4分間のエッチングで充分である。しかし、約5倍の20分間という過剰エッチングを行ない、横方向のエッチングを行うことで鋭角な放出突起を有するカソード電極が形成される。このときフォトリソレジスト10は厚み方向、横方向ともに8000Åエッチング除去され、モリブデン薄膜も横方向に約8000Åエッチング除去された。このとき、フォトリソレジスト10の下には順テーパ形状の断面をもつカソード電極2が残った。図2(E)は絶縁層8を部分的にエッチング除去し、つづいてフォトリソレジスト10を除去して完成した装置の断面図である。絶縁層8はフッ酸(HF)系のエッチング液で除去し、フォトリソレジスト10は専用剥離液で除去した。

【0017】図3は本実施例のカソード電極2の製造工程を詳しく説明するためのもので、図3(A)乃至

6

(C)は図2(C)乃至(E)に対応する概略平面図をそれぞれ示したものである。図3(A)はフォトリソレジスト10を形成した後の平面図である。放出突起3の形成に使用されるフォトリソレジスト突起11は先端の曲率半径が約2000Åである。図3(B)はカソード電極2を形成した後の平面図である。過剰エッチング法によってフォトリソレジスト10の周辺部が約8000Åほどエッチング除去され、フォトリソレジスト突起11の位置が約1μm後退した。カソード電極層9もフォトリソレジスト10とほぼ同じ形状を残してエッチング除去された。

【0018】図3(C)は完成した装置の平面図である。放出突起3の先端を走査型電子顕微鏡で観察したところ、先端の角度は約70度、その曲率半径は約800Åであった。また、その断面は順テーパ形状であり先端の角度は約45度、その曲率半径は約300Åであった。この結果、過剰エッチング法によって、だれた先端形状を有するフォトリソレジストパターンより鋭い先端形状を有する放出突起3が製造されることが確認された。

【0019】図4はモリブデン薄膜の横方向エッチング量に対する放出突起の曲率半径の変化を示したグラフである。エッチング条件は前述のものと同じで、エッチング時間を変えてエッチング量を制御した。このグラフから1.5μm以上の過剰エッチングを行なうことにより先端の曲率半径を500Å以下にすることができる。図5は本実施例の電界電子放出装置を利用した平面三極電子装置の概略図である。図5(A)は本装置の平面図、図5(B)は図5(A)のL3-L4線に沿った断面図である。この平面三極電子装置は電界電子放出装置を具備した平面基板1と、それに概ね平行に置かれた対向基板16と、これらの基板を貼合わせ空間を保持する挟持体18と、これらの中間に形成された真空層19がおもな構成要素である。平面基板1の表面には島状絶縁層6の表面に形成されカソード端子12を有するカソード電極2と、ゲート端子14を有するゲート電極4と、アノード端子15を有するアノード電極5が順次横方向に配置されている。また、真空度を維持するためのバリウム・アルミニウム(BaAl)材料よりなるゲッタ塊13がある。対向基板16は厚さ1mmの石英基板よりなり、帯電防止用の導電性薄膜17が真空層19に面して形成されている。また真空層19を真空引きするのに用いた直径700μmの穴があるが、それは金・錫(Au・Sn)合金よりなる封止体20で閉じられている。挟持体18は直径50μmの球状ガラスペースを混合したフリットガラスを焼結したもので、それぞれの基板の周辺部に気密性よく形成したものである。挟持体18の幅は約500μmである。真空層19は厚さ約50μmで、その真空度は1×10<sup>-7</sup>Torr以下に保持されている。この平面三極電子装置の製造方法について説明する。まず、完成した平面基板1にゲッタ塊13を装着する。また、導電性薄膜17と穴をもつ対向基板8の周辺

部に球状ガラスペースを混合したフリットガラスをスクリーン印刷法で形成する。次に、これらの基板同志を位置合わせして貼合わせ、両基板間に荷重を印加しながら450℃に加熱してフリットガラスを焼結させる。必要であれば貼合わせの前にフリットガラスの仮焼成を行なっておく。次に、穴の付近にクロム(Cr)薄膜およびAu薄膜を連続的に形成し、その後、Au・Sn合金塊を穴の付近に置く。次に、これを真空チャンバに挿入して穴を通して真空層19を十分に真空引きする。この状態でAn・Sn合金塊にレーザを照射し、これを溶かして封止体20として穴を閉ざす。最後に、真空チャンバより取り出し、裏面よりゲッタ塊13にレーザを照射してこれを蒸発させゲッタ作用を蘇生する。ここで用いるレーザとしてエキシマレーザ、YAGレーザ、CO<sub>2</sub>レーザなどが便利である。

【0020】製造された平面三極電子装置は大きさが横4mm、縦3.6mm、厚さ2.1mmで、3インチ基板より約200個が同時に製造された。本装置の電気特性を測定した。カソード電極2を接地し、アノード電極5にV = 200Vを印加して、ゲート電極4にゲート電圧V<sub>g</sub>を印加して、カソード電流I<sub>s</sub>、ゲート電流I<sub>g</sub>、アノード電流I<sub>a</sub>を測定した。その結果V = 60VでI<sub>s</sub> = 3 × 10<sup>-11</sup>A (1 × 10<sup>-11</sup>A/個)、100Vで6 × 10<sup>-8</sup>A (2 × 10<sup>-8</sup>A/個)の放出電流が得られた。この放出電流はF・Nトンネル電流であった。アノード電流の収率(I<sub>a</sub>/I<sub>s</sub>)はV = 60Vのとき約90%、100Vのとき約75%であった。従来技術と比較すると、電子放出に必要なゲート電圧(閾値電圧)は1/2以下に低減され、収率は20%以上改善した。また、3インチ基板の全体で閾値電圧の分布を測定したところ、そのばらつきは±6%以内で均一性のよいことがわかった。

【0021】本実施例では電極材料にモリブデン薄膜を利用したが、本発明はこれに限るものでなく、この他にタンタル、タングステン、シリコン、クロム、アルミニウムなどの金属やこれらを成分に含む合金などが利用できる。また、平面基板としてシリコン基板などの導電性基板に絶縁体を全面に設けた絶縁性基板を利用できる。さらに、絶縁層は二酸化シリコン薄膜に限るものでなく、窒化シリコンやアルミナなどを利用できる。

【0022】電子放出の閾値電圧を低減するために、放出突起にバリウム、トリウム、セシウムなどの仕事関数の小さな材料をコーティングしてもよい。

【0023】電子放出の雑音を低減するため、放出突起を充分に多く設け、これらを同時に駆動して一斉に電子放出を行うことでS/N比を大きくできる。

【0024】また、図5に示した平面三極電子装置のアノード電極5の表面に蛍光体を形成して発光型ディスプレイを構成することや、銅薄膜などX線を発生する材料を形成して、電子線でこれを励起することにより微細X

線源を構成することができる。

【0025】

(実施例2)

本実施例ではゲート電極がカソード電極に自己整合的に形成された電界電子放出装置とその製造方法について述べる。

【0026】図6は本実施例の電界電子放出装置の部分斜視図を示す。この電界電子放出装置は石英基板よりなる平面基板21の表面に厚さ1000ÅのAl薄膜よりなるゲート電極24を設け、また、その両側に厚さ5000Åの二酸化シリコン薄膜よりなる2つの独立した島状絶縁層26を設け、さらに、島状絶縁層26の表面とそれからオーバーハングした状態で厚さ2000Åのモリブデン薄膜よりなるカソード電極22とアノード電極25をそれぞれ設けた構造である。

【0027】カソード電極22はピッチ10μmで配置された三つの放出突起23を有する。放出突起23はその先端近傍に島状絶縁層26がなく、平面基板21に平行にゲート電極24の方向に突出した構造である。放出突起23の先端の曲率半径は約500Åである。ゲート電極24は放出突起23の垂直下部において放出突起23と概ね同じ形状の欠落部分27をもつ。欠落部分27は放出突起23に自己整合して形成されており、実施例1の電界電子放出装置に存在したゲート電極4と放出突起3が平行に重なる部分は存在しない。なお、ゲート電極24と放出突起23の距離(L)は島状絶縁層26の膜厚とゲート電極24の膜厚できまり、その値は、島状絶縁層26の膜厚からゲート電極24の膜厚を引いた4000Åである。

【0028】アノード電極25とカソード電極22はゲート電極24より約4000Å高い位置にある。従って、放出突起23より放出された電子の軌跡とゲート電極24の距離も4000Åである。ゲート電極24とアノード電極25の距離(L)は約3μm、カソード電極22とアノード電極25の距離(L)は8μmである。したがって、放出突起23の先端より放出された電子はゲート電極24をその上空で約5μmだけ横切り、ゲート電極24に衝突することなくアノード電極25に到達する。

【0029】図7は本実施例の電界電子放出装置の製造方法を説明するためのもので、主要な製造工程が終了した後の概略断面図である。図7(A)は絶縁層28およびカソード電極層29を形成した後の断面図である。平面基板21は絶縁性の石英基板である。この表面に絶縁層28として厚さ5000Åの二酸化シリコン薄膜を、カソード電極層29として厚さ2000Åのモリブデン薄膜をスパッタ法で連続して堆積した。図7(B)はカソード電極22およびアノード電極25を形成した後の断面図である。ここで用いたカソード電極層29のエッチング加工方法は実施例1で述べたドライエッチングを

用いた過剰エッチング法によるカソード電極層9の加工方法と同様である。図7(C)は絶縁層28を部分的にエッチング除去し、放出突起23を露出させた断面図である。カソード電極22およびアノード電極25をエッチングマスクとして、実施例1と同様のウェットエッチング法で不要な部分の絶縁層28を除去し、放出突起23をオーバーハング状に突出するように露出させた。このとき平面基板21は石英であってほとんどエッチングされない。

【0030】図7(D)は方向性粒子堆積法でゲート電極層30を形成した後の断面図である。方向性粒子堆積法として蒸着法を利用し、厚さ1000ÅのAl薄膜を堆積しゲート電極層30を形成した。方向性粒子堆積法は線源より平面基板21の表面に概ね垂直に粒子を飛ばし堆積させる方法である。この方法を用いると、放出突起23のような突出した部分が陰となり、カソード電極22もしくはアノード電極25の表面に堆積した薄膜と平面基板21の表面に堆積した薄膜は分断させる。しかも放出突起23と同じ形状の欠落部分27が放出突起23の垂直直下に自己整合的に形成されるのである。方向性粒子堆積法として蒸着法、スパッタ法、ECR(Electron Cyclotron Resonance)堆積法などが適用できる。図7(E)はゲート電極層30をエッチング加工し、ゲート電極24を形成した後の断面図である。通常のフォトエッチング技術を利用しモリブデン薄膜が侵されないHF系のエッチング液でAl薄膜をエッチング加工した。このとき、欠落部分27が侵食されないようにフォトレジストで覆うことが重要である。

【0031】高真空中で本実施例の電界電子放出装置の電気特性を測定した。カソード電極22を接地し $V = 200V$ 一定としたとき、 $V = 60V$ で $I = 5 \times 10^{-11}A$ 、 $100V$ で $1.4 \times 10^{-11}A$ が得られた。また、アノード電流の収率は $V = 60V$ のとき92%、 $100V$ のとき80%であった。実施例1に比べLが小さくなった効果と、アノード電極4が高い位置に設置された効果が現われた。

#### (実施例3)

本実施例ではゲート電極が放出突起の突出方向に対し傾きをもった斜面を有する電界電子放出装置とその製造方法について述べる。

【0032】図8は本実施例の電界電子放出装置の部分概略図である。図8(A)は本装置の平面図、図8(B)は図8(A)に示したL5-L6線に沿った断面図である。平面基板31は厚さ1.1mmの7059ガラス基板(コーニング社製)である。この平面基板31の表面の平坦部には島状絶縁層36を挟んでカソード電極32とアノード電極35が設けられている。また、カソード電極32の近傍で平面基板31に形成された斜面37と平面を共有してゲート電極34が設けられている。カソード電極32は10μmピッチで配置された三

つの放出突起37を有する。放出突起33の先端はその下部の島状絶縁層36が除かれ、平面基板31の平坦部に平行に、ゲート電極34の方向へ突出した構造である。放出突起33の先端の曲率半径は約500Åである。

【0033】ゲート電極34は実施例2の電界電子放出装置と同様の欠落部分を有する。島状絶縁層36は厚さ3000Åの二酸化シリコン薄膜よりなり、カソード電極32、ゲート電極34およびアノード電極35は厚さ2000Åのモリブデン薄膜よりなる。放出突起33の付近において、ゲート電極34の一部は放出突起33の突出方向に対して約25度の下向きの傾きをもつ。これは平面基板31の平坦部に対し斜面37が約25度の下向きの傾きをもって形成されているためである。島状絶縁層36の断面は放出突起33の下部で約23度、その他の部分で約45度の逆テーパ形状である。

【0034】放出突起33とゲート電極34との距離(L)は約4000Å、ゲート電極34とアノード電極35の距離(L)は約3μm、放出突起33とアノード電極35との距離(L)は8μmである。放出突起33より放出された電子はゲート電極34を約5μm横切るが、電子の軌跡とゲート電極34との距離は最大で2.3μmである。

【0035】図9は本実施例の電界電子放出装置の製造方法を説明するためのもので、主要な製造工程が終了した後の概略断面図である。図9(A)は絶縁層38を形成した後の断面図である。絶縁層38は常圧CVD(Chemical Vapour Deposition)法で堆積した膜厚3000Åの二酸化シリコン薄膜である。堆積温度は300℃で、モノシランガスと酸素ガスを原料ガスとし、大気圧下で堆積を行なった。

【0036】図9(B)は絶縁層38および平面基板31を過剰エッチング法で部分エッチングし、絶縁層38を逆テーパ形状にし、平面基板31に斜面37を形成した後の断面図である。図10は過剰エッチング法によって絶縁層38と平面基板31をエッチングする製造工程を示す概略平面図である。図10(A)は絶縁層38の表面のカソード電極およびアノード電極の位置にフォトレジスト41を形成した後の平面図である。フォトレジスト41の膜厚は約1μmである。カソード電極の位置にあるフォトレジスト突起42の先端は曲率半径が約2000Åである。フォトレジスト41は界面強化剤を用いて絶縁層38との密着性を高めてある。この状態で絶縁層38を過剰エッチングし、あわせて平面基板31の表面も同時にエッチングした。ここで過剰エッチングとは、絶縁層38の膜厚の数倍以上の距離にわたって絶縁層38を横方向へエッチングすることである。エッチング液はフッ酸と酢酸の混合液( $HF + CH_3COOH + H_2O$ )で、二酸化シリコン薄膜および7059ガラス基板のエッチング速度はそれぞれ1.38μm/分およ

び0.8 $\mu\text{m}$ /分である。エッチング時間は3分間である。図10(B)は過剰エッチング後の平面図である。カソード電極の位置にある絶縁層突起39の先端はフォトレジスト突起42の先端の位置より約4 $\mu\text{m}$ 後退し、その曲率半径は約400 $\text{\AA}$ とフォトレジスト突起42のものに比べかなり小さくなった。

【0037】図10(C)はフォトレジスト41を剥離した後の平面図で、図9(B)の断面図と対応する。図9(B)からもわかるように、島状絶縁層36はその表面よりも平面基板31との界面のほうが多くエッチングされ、その断面は逆テーパ形状である。特に絶縁層突起39はその他の部分に比べテーパ角度が急峻である。逆テーパ形状になる理由は、絶縁層38とフォトレジスト41との界面よりも平面基板31との界面のほうが密着性がわるいため、平面基板31との界面で絶縁層38のエッチング速度が速くなるからである。平面基板31は最大エッチング量が2.2 $\mu\text{m}$ で、絶縁層突起39の下部に形成された斜面37の傾きは約25度である。

【0038】図9(C)は方向性粒子堆積法で電極層40を形成した後の断面図である。電極層40は膜厚2000 $\text{\AA}$ のモリブデン薄膜よりなる。この製造工程は実施例2で述べた工程と同様である。本工程の特徴は島状絶縁層36の表面に堆積した電極層40が島状絶縁層36の平面形状をそのまま反映する点である。そのため、絶縁層突起39の先端の小さな曲率半径を反映して、曲率半径が約500 $\text{\AA}$ という非常に良好な突起を有する電極層14が絶縁性突起39の表面に形成された。図9(D)はフォトエッチング法によって電極層40を部分的にエッチングし、カソード電極32、ゲート電極34およびアノード電極35を形成した後の断面図である。モリブデン薄膜のエッチングは前述のドライエッチング法を利用した。図9(E)は島状絶縁層36を追加エッチングし、放出突起33を露出させた後の断面図である。このとき、露出している平面基板31も少しエッチングされる。

【0039】実施例2と同様に本装置の電気特性を測定したところ、 $V = 60\text{V}$ で $I = 4.8 \times 10^{-11}\text{A}$ 、 $100\text{V}$ で $1.2 \times 10^{-11}\text{A}$ であった。また、アノード電流の収率は $V = 60\text{V}$ のとき95%、 $100\text{V}$ のとき85%であった。この値は実施例2の電界電子放出装置に比べ閾値電圧は同等であり、アノード電流の収率が向上している。このように電気特性が改善された理由は、傾きを有するゲート電極34の導入によって、Lをそのままにして閾値電圧を変えないまま、カソード電極32からアノード電極35へ向かう電子の軌跡とゲート電極34との距離を大きくし、ゲート電極34への電子の流れ込みを防止したためである。

【0040】

(実施例4)

図11は電界電子放出装置を利用したデュアル型平面三

極電子装置の概略図である。図11(A)は本装置の平面図、図11(B)は図11(A)に示したL7-L8線に沿った断面図である。

【0041】カソード電極44およびゲート電極46の構造は実施例2で記述したものと同様である。ただし、カソード電極44は向きの異なった2組の放出突起群45をもち、それぞれの放出突起群45に独立したゲート電極46をそれぞれ設けてある。また、アノード電極47は対向基板49に独立して2つ設けてあり、それぞれ平面基板43に設けた2組の放出突起群45およびゲート電極46と対をなし、電界電子放出装置を構成する。このように、カソード電極44を共通とした2組の電界電子放出装置を真空層50の内部に配置してデュアル型の平面三極電子装置が構成されている。

【0042】平面基板43と対向基板49の挟持体51を用いた貼合わせ方法、封止体53を用いた封止方法、あるいはグッタ塊52による真空の維持方法は実施例1で述べた方法と同様である。

【0043】

(実施例5)

図12は電界電子放出装置を利用した平面四極電子装置の概略図である。図12(A)は本装置の平面図、図12(B)は図12(A)に示したL9-L10線に沿った断面図である。本装置はカソード電極55とゲート電極57の構造は実施例2で記述したものと同様とし、シールド電極59をゲート電極57とアノード電極58の中間に配置したものである。シールド電極59は放出突起56に印加されてしまうアノード電極58の電界を遮蔽する作用がある。実施例1で記述したような平面型三極電子装置においては、放出突起3からの放出電流はゲート電極4だけでなくアノード電極5の電界にも影響され変化するため、アノード抵抗が小さいものであった。増幅器あるいはスイッチング装置に使用する場合、大きなアノード抵抗が必要である。本実施例のようにシールド電極59を設け、これを接地するなど一定電位に保持してアノード電極58の電界を遮蔽すると、アノード抵抗の非常に大きな電子装置が実現する。なお、アノード抵抗はシールド電極59の幅に依存するため、アノード電流との収率とのトレードオフでその幅は決定される。

【0044】本実施例の平面四極電子装置はシールド電極59の幅が50 $\mu\text{m}$ 、アノード電極58の幅が100 $\mu\text{m}$ である。シールド電極59を接地し $V = 200\text{V}$ としたとき、 $V = 100\text{V}$ で $I = 1.4 \times 10^{-11}\text{A}$ であり、アノード抵抗は $R = 15\text{M}\Omega$ 、アノード電流の収率は70%であった。

【0045】

【発明の効果】以上説明したように本発明の電界電子放出装置およびその製造方法は下記に列記するような格別なる効果を奏する。

【0046】

(1) カソード電極とゲート電極の距離(L)は絶縁層もしくはゲート電極層の膜厚によって決定される。この制御性はLSI技術の発展によって優れたものになっており、その結果、均一性がよく閾値電圧の低い電界電子放出装置が実現された。特に、従来の技術ではLは0.8 $\mu$ mが限界であったが、本発明により0.1 $\mu$ m以下も可能である。

【0047】

(2) 過剰エッチング法の採用により、カソード電極の放出突起先端の曲率半径を小さくし、低閾値化が達成できた。従来技術では曲率半径が2000Åで限界であったが、本発明により500Å以下が可能となった。

【0048】

(3) カソード電極からアノード電極へ進行する電子の流路にゲート電極を置かないことにより、ゲート電極へ流入する電子を減らしアノード電流の収率を高めた。

【0049】

(4) 過剰エッチング法は、放出突起のような凸部は曲率半径のより小さな鋭い凸部となり、凹部はよりなめらかな凹部になるため、とくにカソード電極の電子を放出したい部分に凸部と凹部をうまく使い、不慮の電子放出を防止できる。

【図面の簡単な説明】

【図1】実施例1を説明するためのもので、絶縁層を挟んでゲート電極とカソード電極が部分的に積層された構造を有する電界電子放出装置の部分概略図である。

(A)は電界電子放出装置の平面図、(B)は(A)のL1-L2線に沿った断面図である。

【図2】実施例1の電界電子放出装置の製造方法を説明するためのもので、主要な製造工程が終了した後の概略断面図である。

【図3】実施例1のカソード電極の製造工程を詳しく説明するためのもので、(A)乃至(C)は図2(C)乃至(E)に対応する概略平面図をそれぞれ示したものである。

【図4】モリブデン薄膜の横方向エッチング量に対する放出突起の曲率半径の変化を示したグラフである。

【図5】実施例1の電界電子放出装置を利用した平面三極電子装置の概略図である。(A)は本装置の平面図、(B)は(A)のL3-L4線に沿った断面図である。

【図6】実施例2を説明するためのもので、ゲート電極がカソード電極に自己整合的に形成された電界電子放出装置の部分斜視図である。

【図7】実施例2の電界電子放出装置の製造方法を説明するためのもので、主要な製造工程が終了した後の概略断面図である。

【図8】実施例3を説明するためのもので、ゲート電極が放出突起の突出方向に対し傾きもった斜面を有する電界電子放出装置の部分概略図である。(A)は本装置の平面図、(B)は(A)に示したL5-L6線に沿った

断面図である。

【図9】実施例3の電界電子放出装置の製造方法を説明するためのもので、主要な製造工程が終了した後の概略断面図である。

【図10】過剰エッチング法によって絶縁層と平面基板をエッチングする製造工程を示す概略平面図である。

【図11】実施例4を説明するためのもので、電界電子放出装置を利用したデュアル型平面三極電子装置の概略図である。(A)は本装置の平面図、(B)は(A)に示したL7-L8線に沿った断面図である。

【図12】電界電子放出装置を利用した平面四極電子装置の概略図である。(A)は本装置の平面図、(B)は(A)に示したL9-L10線に沿った断面図である。

【図13】従来の電界電子放出装置の概略平面図を示したものである。

【符号の説明】

- 1 平面基板
- 2 カソード電極
- 3 放出突起
- 4 ゲート電極
- 5 アノード電極
- 6 島状絶縁層
- 7 空間
- 8 絶縁層
- 9 カソード電極層
- 10 フォトレジスト
- 11 フォトレジスト突起
- 12 カソード端子
- 13 ゲッタ塊
- 14 ゲート端子
- 15 アノード端子
- 16 対向基板
- 17 導電性薄膜
- 18 挟持体
- 19 真空層
- 20 封止体
- 21 平面基板
- 22 カソード電極
- 23 放出突起
- 24 ゲート電極
- 25 アノード電極
- 26 島状絶縁層
- 27 欠落部分
- 28 絶縁層
- 29 カソード電極層
- 30 ゲート電極層
- 31 平面基板
- 32 カソード電極
- 33 放出突起
- 34 ゲート電極



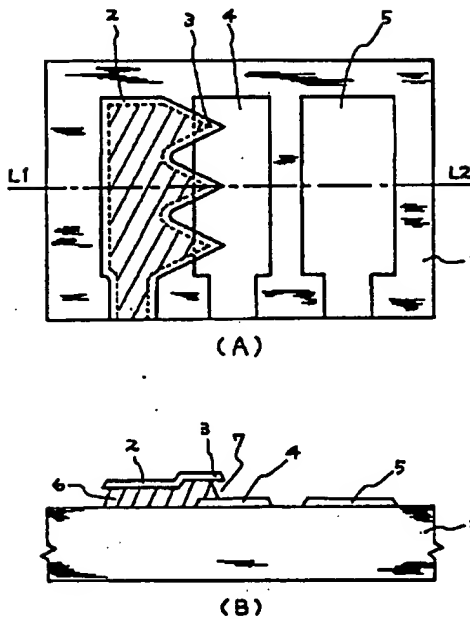
(9)

特開平4-212236

15

- 35 アノード電極
- 36 島状絶縁層
- 37 斜面
- 38 絶縁層
- 39 絶縁層突起
- 40 電極層
- 41 フォトリソスト
- 42 フォトリソスト突起
- 43 平面基板
- 44 カソード電極
- 45 放出突起群
- 46 ゲート電極
- 47 アノード電極
- 48 島状絶縁層
- 49 対向基板

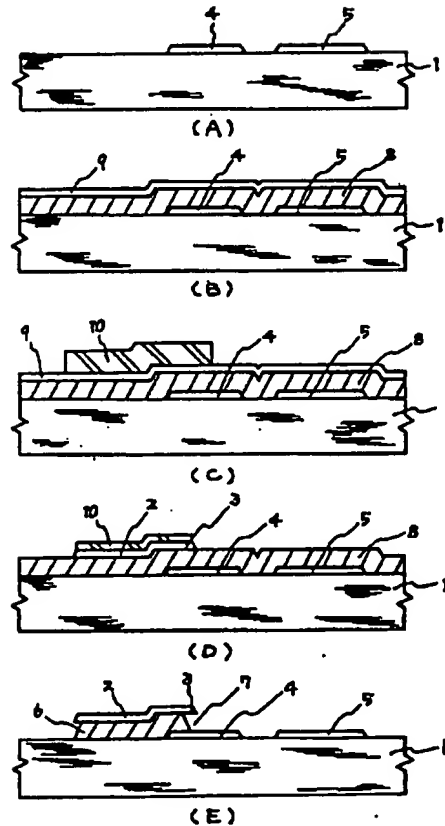
【図1】



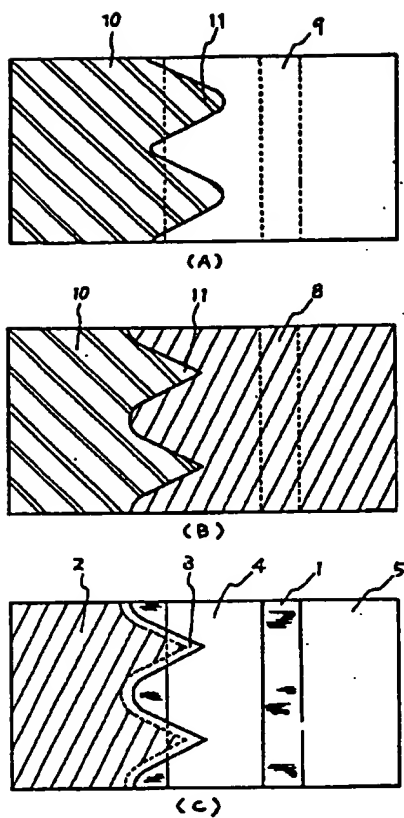
16

- 50 真空層
- 51 挟持体
- 52 ゲッタ塊
- 53 封止体
- 54 平面基板
- 55 カソード電極
- 56 放出突起
- 57 ゲート電極
- 58 アノード電極
- 10 59 シールド電極
- 60 島状絶縁層
- 101 石英基板
- 102 エミッター電極
- 103 ゲート電極
- 104 アノード電極

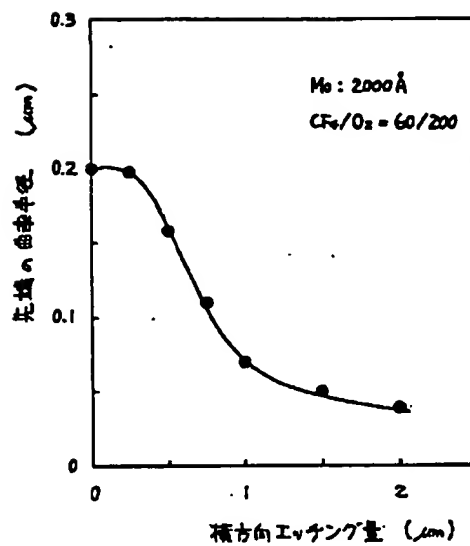
【図2】



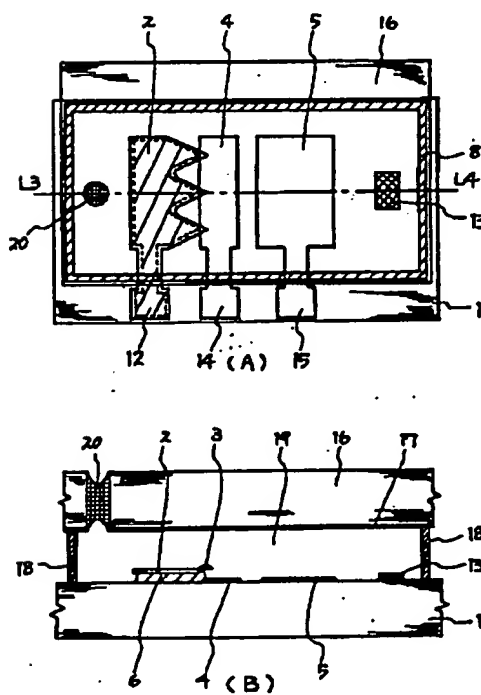
【図3】



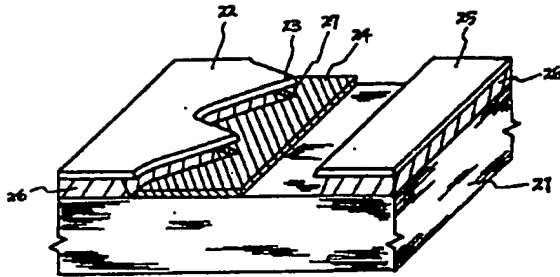
【図4】



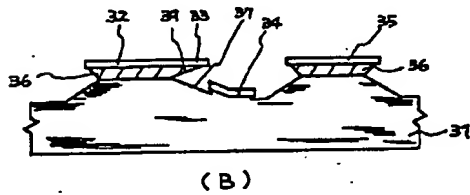
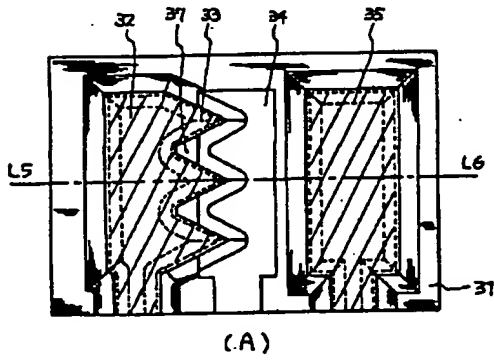
【図5】



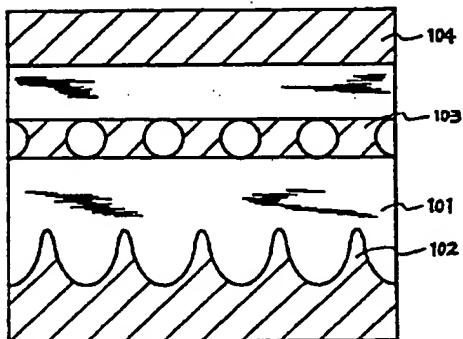
【図6】



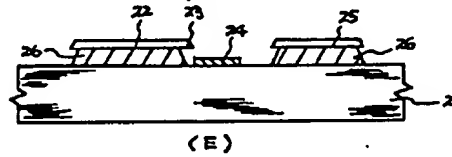
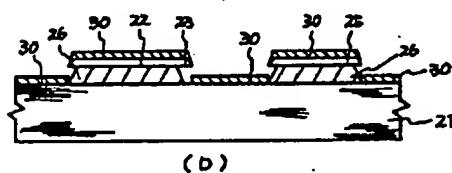
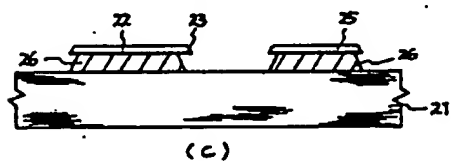
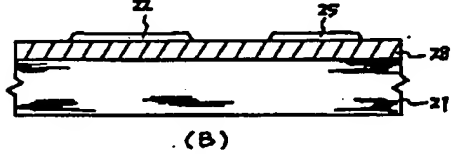
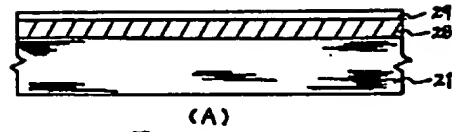
【図8】



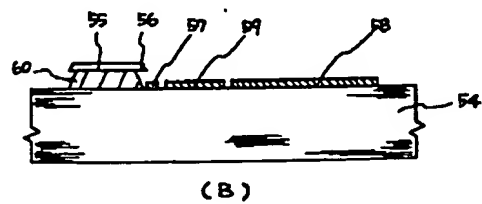
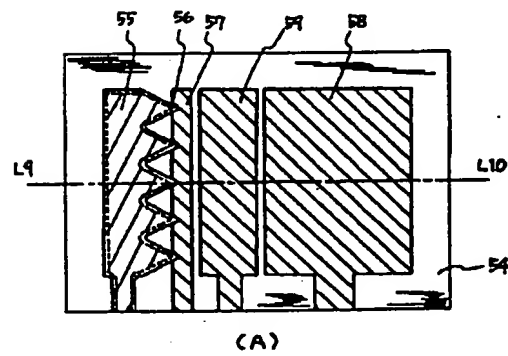
【図13】



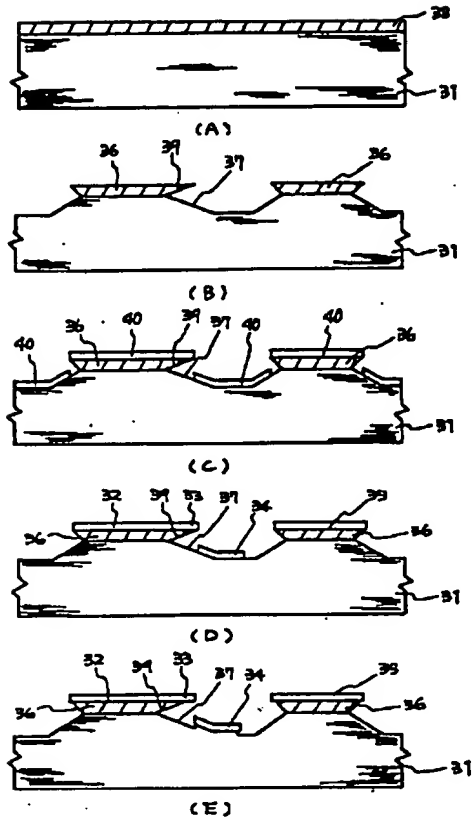
【図7】



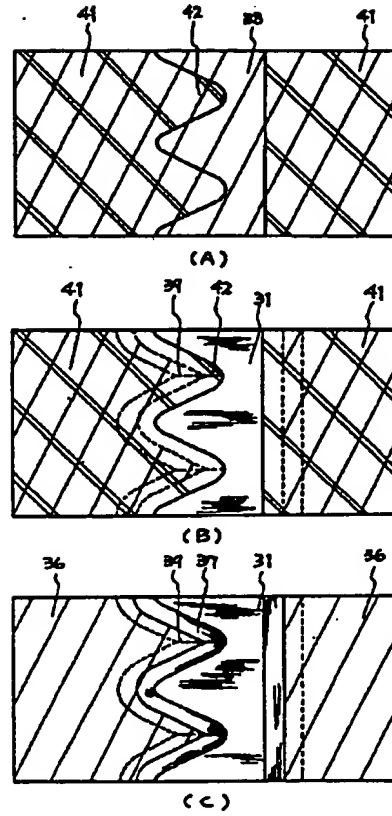
【図12】



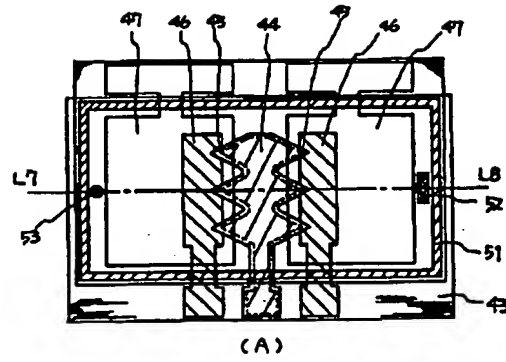
【図9】



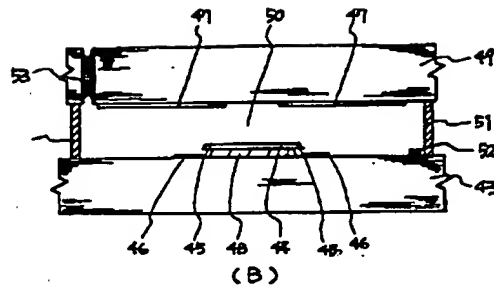
【図10】



【図11】



(A)



(B)